

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

8
PCT/JP98/01431

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

09.06.98

| | |
|-------|-------------|
| REC'D | 19 JUN 1998 |
| WIPO | PCT |

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application: 1997年10月30日

出 願 番 号

Application Number: 平成 9年特許願第298190号

出 願 人

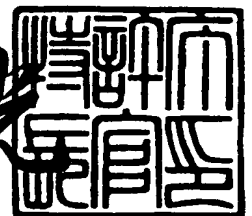
Applicant(s): 株式会社日立製作所

PRIORITY DOCUMENT

1998年 4月17日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光



出証番号 出証特平10-3027735

【書類名】 特許願
【整理番号】 1197034911
【提出日】 平成 9年10月30日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
【発明の名称】 モノリシックデジタルアイソレータ及びこれを応用した
アナログフロントエンド集積回路

【請求項の数】 11

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 小嶋 康行

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 行武 正剛

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 大内 貴之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 モノリシックデジタルアイソレータ及びこれを応用したアナログフロントエンド集積回路

【特許請求の範囲】

【請求項1】

SOI (Silicon On Insulation) 基板に、トレンチによって形成されるキャパシタと、デジタル入力パルス信号にしたがってキャパシタを駆動するドライバ回路と、キャパシタを通じた信号を受けてデジタル入力パルスに対応する出力デジタルパルスを再生して出力するレシーバ回路と、これらの回路を囲んで各回路を絶縁するトレンチと、を備えることを特徴とするモノリシックデジタルアイソレータ。

【請求項2】

キャパシタを相補パルスで駆動しキャパシタ出力をPPM (Pulse Position Modulation) 復調して、デジタル入力パルスに対応したデジタル出力パルスを出力することを特徴とする請求項1記載のモノリシックデジタルアイソレータ。

【請求項3】

ドライバ回路がデジタル入力パルスを受けて相補パルスを発生する相補波形発生手段を有し、一対のキャパシタを相補波形で駆動するようにしたことを特徴とする請求項2記載のモノリシックデジタルアイソレータ。

【請求項4】

レシーバ回路が、回路保護素子、微分抵抗、コンパレータ、フリップフロップ、出力バッファからなり、高耐圧キャパシタと微分抵抗とで高耐圧キャパシタへの入力パルスを微分波形の出力に変換し、コンパレータによって微分波形から入力パルスの立ち上がり及び立ち下がりに対応する変化タイミングを検出して1組の細いパルスに変換し、このパルスによってフリップフロップを交互にセットおよびリセットすることで入力パルスに対応するパルスを再生し、これを出力バッファで出力するようにしたことを特徴とする請求項2記載のモノリシックデジタルアイソレータ。

【請求項5】

請求項1記載のモノリシックデジタルアイソレータと、アナログフロントエンド回路（AFE）を同一のSOI基板上に形成し、AFEのアナログ入出力回路とデジタル入出力回路との間を電氣的に絶縁したことを特徴とするモノリシックAFE集積回路。

【請求項6】

AFEにおいて、ADC (Analog to Digital Conversion) 及びDAC (Digital to Analog Conversion) がオーバーサンプル方式であり、該アイソレータをADC、DACとデジタル信号処理回路の間に挿入したことを特徴とする請求項5記載のモノリシックAFE集積回路。

【請求項7】

デジタル信号処理回路がデシメータおよびまたはインタポレータであることを特徴とする請求項6記載のモノリシックAFE集積回路。

【請求項8】

デジタル信号処理回路がデシメータ、インタポレータ及びDSP (Digital Signal Processor) であり、該アイソレータをデシメータ、インタポレータとDSPの間に挿入したことを特徴とする請求項6記載のモノリシックAFE集積回路。

【請求項9】

AFEがアナログ入出力側回路とデジタル入出力側回路との間にタイミング同期用のデジタルアイソレータを配置したことを特徴とする請求項5記載のモノリシックAFE集積回路。

【請求項10】

モデム信号処理の結果生じたADCのサンプルタイミングの遅れ進みを、オーバーサンプルタイミングクロック周波数の微小変化としてAFEに伝え、AFEではこれに内部クロックをPLL同期して内部タイミングを作成してADC、DAC、デシメータ、インタポレータ、内部DSP及び相互のデータ転送処理の動作タイミングを同期させるようにしたことを特徴とする請求項6記載のモノリシックAFE集積回路。

【請求項11】

回路領域のトレンチの多重度をキャパシタのトレンチの多重度よりも1段高い多重度とすることで、破壊モードをキャパシタに限定するようにしたことを特徴とする請求項1記載のモノリシックデジタルアイソレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路、特にキャパシタを用いてパルス信号を伝達するデジタルアイソレータ、及び、該アイソレータを用いた応用回路、特にアナログフロントエンド集積回路に関する。

【0002】

【従来の技術】

アイソレータは、2つの回路間を電気的には絶縁し信号的には結合するという機能を持った回路ブロックであり、最も小型な方式としては容量結合型が知られており、容量結合型絶縁アンプあるいは容量性絶縁カプラとして1970年代から使われているとされている。

【0003】

アイソレータの信号伝送方式には、PAM（パルス振幅変調方式）、PWM（パルス幅変調方式あるいはデューティ制御方式）、PPM（パルスタイミング変調方式）が使われ、これらの技術は、この容量性アイソレータに使われる以前に、絶縁トランスや光カプラを用いたアイソレータの構成技術として知られている。

【0004】

容量性アイソレータの従来例としてはUSP4748419（以下419特許と称す）があり、セラミック基板上に形成した金属配線パターン間の容量を利用して、約1ないし3pFと小さい一対の高耐圧キャパシタを形成し、これにアナログ入力信号をFM（周波数）変調したパルス波形を与え、高耐圧キャパシタの出力波形を微分波形とし、微分波形からパルス波形を再生してから、復調する絶縁増幅器の技術が示されている。

【0005】

アイソレータを利用すると絶縁トランスを使わないアナログフロントエンドを構成できる。アナログフロントエンド（A F E）とは、信号処理装置のためのインターフェイス回路であり、一般にA D C（アナログ信号をデジタル信号に変換する手段）、D A C（デジタル信号をアナログ信号に変換する手段）又はこれらのいずれかと、帯域フィルタ手段、レベル調整手段等を含む回路であり、モデムの回線インターフェイス回路やデジタルオーディオのアナログインターフェイス回路に使用されている。

【0006】

アイソレータを用いたモデムの回線インターフェイス回路では、特開平7-307708号公報（以下708特許と称す）に記載のものがあり、3つの高耐圧キャパシタとこれを用いたアナログフロントエンドを含むモデム応用回路方式が示されている。

【0007】

また、I C化では、USP4,757,528（以下528特許と称す）があり、D I（誘電体分離）構造の半導体構築方式によるA F Eを含む回線インターフェイス回路のモノリシック集積回路化のアイデアが開示されている。

【0008】

【発明が解決しようとする課題】

ユーザーは、モデム回路やアイソレータの更なる小型化と低価格を要求しており、この観点でこれら従来技術には、以下のような課題または問題がある。

【0009】

528特許以前のアイソレータ技術は、高耐圧キャパシタと、入力信号を受けてP W M波形を作成するドライバ回路と、P W M波形を再生し復調するレシーバ回路とは別部品であり、これらを組み合わせて1つのモジュール部品として実装している。例えば、セラミック基板上に容量性高耐圧キャパシタを構成し、同一パッケージ上に、2つ以上の半導体チップを実装して、アイソレータ構成をしている。つまり、多くの部品を使用した構成になっているので小型化には限界がある。

【0010】

また、528特許では、小型化に有利なモノリシック化のアイデアが示されているが、モノリシック半導体基板上に、どのような構造の高耐圧キャパシタや回路を構成するのかは開示されていない。

【0011】

さらに、708特許は、従来1つの伝送パスに2つの高耐圧キャパシタが使われてきたのに対して、3つの容量性高耐圧キャパシタで3つの信号を伝送する回路構成が示されているが、どのように動作させて信号伝送するのかは示されていない。また、これらの回路を高耐圧キャパシタを含めてモノリシック化する提案はない。

【0012】

以上のように、これら従来技術は、モノリシック集積回路化アイソレータ、およびモノリシック集積回路化アイソレータ応用回路を実現するに当たって、高耐圧キャパシタ、高耐圧キャパシタを用いるための回路、それらの配置、配置した回路間の絶縁方法などを、半導体基板上に、どのように構成して、どのように動作させるのかの技術については、開示されていない。

【0013】

また、オーバーサンプル型のADCを内蔵したアナログフロントエンドを用いたモデムでは、モデム信号処理から指定された最適なADCサンプルタイミングに対して、不用意にADCのサンプルタイミングを変更すると、高耐圧キャパシタを経由して伝送する信号のS/Nが劣化する問題がある。

【0014】

本発明は、上記した従来技術の問題点を考慮してなされたものであり、モノリシックの高耐圧キャパシタ、及び、該高耐圧キャパシタを用いたモノリシックデジタルアイソレータ集積回路、及びこれを用いたモノリシック応用集積回路、特にモノリシックAFE集積回路を実現する。

【0015】

【課題を解決するための手段】

本発明では、絶縁層を内層とする半導体基板すなわちSOI (Silicon On

Insulation) ウェーハを加工して、高耐圧キャパシタ、モノリシックデジタルアイソレータ、該アイソレータの応用回路、特にモノリシックA F E回路を形成し、必要に応じて絶縁層と配線層とを重ねて、さらに、絶縁を兼ねた保護層を形成して半導体集積回路とする。各回路は、絶縁層とトレンチと絶縁保護層で囲み、相互に絶縁する。

【0016】

トレンチとは、半導体層の表面から絶縁層に達する帯状の絶縁パターンである。トレンチの形成は、半導体面から絶縁内層に達する所定パターンの溝を形成しこれを絶縁物で埋め込むトレンチ法、また、半導体層に酸素イオンを打込んで熱アニールし絶縁領域を作成するイオン打込み法などによる。トレンチで囲んだ部分を電極領域、回路領域などと“領域”を付けて称す。

【0017】

本発明のアイソレータでは、S O I ウェーハに、キャパシタの対と、デジタル入力パルスに対応したパルスで高耐圧キャパシタを駆動するドライバ回路と、高耐圧キャパシタを経由した信号を受けてデジタルパルス信号を再生して出力するレシーバ回路とを、それぞれの回路を配置した領域をトレンチで囲んで複数の絶縁した回路領域を形成して、モノリシックアイソレータを形成する。また、これらの回路領域と高耐圧キャパシタを一まとめにしてさらにトレンチで囲むようにする。

【0018】

ここで、キャパシタは、S O I ウェーハ上の半導体層の一部を該トレンチで囲んで電極領域を形成し、2つの電極領域がトレンチの一部を共有するように、また、共有長が必要な容量値を得る長さになるようにトレンチを配置して構成する。また、トレンチを多重に設定することによって、高耐圧キャパシタを直列接続し二倍の耐圧を実現することが出来る。この場合に中間電極をフローティングにする。なお、絶縁内層は、該トレンチの耐圧に対応した絶縁性能をもつ厚さとする。

【0019】

なお、好ましくは、高耐圧キャパシタとドライバ回路及びレシーバ回路との間

にダイオードなどの非線型素子で構成した保護回路を配置する。保護回路は回路領域の内部に配置する。なお、このアイソレータにおいて、ドライバ回路は入力パルスに対応した相補パルスを発生する手段、この出力で高耐圧キャパシタを駆動するパルス駆動手段、回路保護手段等からなっており、レシーバ回路は、回路保護素子、微分抵抗、コンパレータ、フリップフロップ、出力バッファ等からなり、高耐圧キャパシタと微分抵抗とで高耐圧キャパシタへの入力パルスを微分波形に変換し、コンパレータによって微分波形から入力パルスの立ち上がり及び立ち下がりに対応する変化タイミングを検出して1組の細いパルスに変換し、このパルスによってフリップフロップを交互にセットおよびリセットすることで入力パルスに対応するパルスを再生し、これを出力バッファで出力する方式とする。

本発明の応用回路は、本発明によるアイソレータに、さらに、トレンチで囲んだ応用回路領域を配置することで実現する。複数の該アイソレータを含む場合には、高耐圧キャパシタを1列に配列してもよい。本発明のAFEは、複数のアイソレータを、アナログ入出力側回路、デジタル入出力側回路との間に配置し、各々をトレンチで囲んで絶縁する。

【0020】

複数のアイソレータを動作させる場合には、搬送クロックは必要に応じて同期させる。また、AFE回路を処理回路、例えばDSPやCPUと接続して動作させる場合には、信号処理の結果要求されるサンプルタイミングとこれらAFEの動作タイミングとをAFE内のPLLによって同期させて使用する。

【0021】

以上のようにすることで、本発明によれば、SOIウェーハを用いることで厚さ方向の高耐圧を実現し、同一ウェーハ上に共有するトレンチもつ2つの電極領域を形成することで極めて小型の高耐圧キャパシタを実現し、また、同一ウェーハ上に該高耐圧キャパシタとドライバ回路及びレシーバ回路の3つの回路領域をトレンチで囲んで形成することで極めて小型のデジタルアイソレータを実現する。

【0022】

さらに、多重トレンチを形成することで容量を直列に接続して、プロセスの制

約から、1つのトレンチの幅を広げられない場合でもさらなる水平方向の高耐圧を実現する。さらに、直列容量の配置に際して中間電極をフローティングとすることでこの部分の跨ぎ配線を削除することができる。

【0023】

複数のアイソレータを用いる場合には、電極及びトレンチなど容量性高耐圧キャパシタの配置を揃えることで、絶縁性能を均質にすることが出来る。

【0024】

なお、高耐圧キャパシタの各接続部には外部接続端子と同様に保護回路を設けることで、サージ雑音によるデバイス破壊を防止することができる。

【0025】

また、PLLによってモデム処理とオーバオサンプルADCのサンプルタイミングを同期させ、モデム信号処理の劣化を低減して、小型で高性能なモデム回路を実現する。

【0026】

【発明の実施の形態】

以下、実施例にしたがって本発明を説明する。

【0027】

図1は本発明の1実施例のモノリシックデジタルアイソレータの1実施例の構造図であり、(a)は断面図、(b)は平面図、(c)は変形例の平面図である。

【0028】

図1(a)において、1は基板、2は絶縁層、3は半導体層、4は保護層であり、5は半導体層3上に絶縁層2に十分達するトレンチであり、6, 7, 8は各々、トレンチ5によって形成した、高耐圧領域、ドライブ回路領域、レシーバ回路領域であり、各々の領域には、各々の領域に必要な回路素子及び配線の一部を形成する。また、保護層4には、各領域の素子間を結ぶ配線9と絶縁層とを重ねて相互絶縁をしている。11は、入力端子、12は出力端子である。図1(a)の各要素の関係を図1(b)を用いて説明する。

【0029】

図1(b)において、13はSOI基板で、基板1、絶縁層2、半導体層3からなっており、回路5、トレンチ9、配線を形成した後で、保護層4を形成している。高耐圧キャパシタ領域7にはトレンチ56で囲んだ領域62とトレンチ57で囲んだ領域と63とで高耐圧キャパシタの電極を形成しており、さらにこれらをトレンチ58で囲んで周囲の回路と絶縁し、また、トレンチ56及び57とトレンチ58とで囲まれた領域は中間電極を形成している。トレンチ56と57は櫛の歯状のパターンとして、単位面積当たりの容量値を大きくしている。

容量は領域61と62のトレンチ56、57の側壁を電極としたキャパシタンスであり、領域63を介した2重トレンチ構造により横方向の耐圧を約2倍にしている。絶縁層2は、領域間耐圧を確保するために、この耐圧に見合う厚さとしている。

【0030】

ドライブ回路領域7には入力端子領域71と回路領域72がトレンチ59、60で囲んであり、さらにこれらをトレンチ58で囲んで領域間絶縁をしている。なお、回路領域72内には後述の回路図で示すようにNMOS、PMOS、その他の回路素子を含むが、必要に応じて、例えばラッチアップ防止のためにトレンチを用いて内部の領域分離をしても良い。

【0031】

レシーバ回路領域8には、回路領域81と出力端子領域82がトレンチ52、53で囲んであり、さらにこれらをトレンチ51で囲んで領域絶縁している。なお、回路領域81内には後述の回路図で示すようにNMOS、PMOS、その他の回路素子を含むが、必要に応じて、例えばラッチアップ防止のためにさらにトレンチを用いて内部の領域分離に使用しても良い。

【0032】

図1(c)において、すべての部品番号は図1(b)と同一名称、同一機能、同一作用を示す。この平面パターンの特徴は中間電極63の領域を小さくできることから図1(b)と比べて単位面積当たりの容量を大きくすることが出来ること、曲率の小さい部分の数が1/2になっていること、レシーバ側の櫛歯がドラ

イブ側のそれを囲んでいることなどである。

【0033】

図1(b)の実施例で絶縁層厚さ $1\mu\text{m}$ 、半導体層厚さ $15\mu\text{m}$ 、トレンチ幅 $1.5\mu\text{m}$ にしたとき、直列合成容量値 1pF を得る大きさは $200\mu\text{m}\times 300\mu\text{m}$ であり、耐圧は約 1500VDC であった。この場合、基板1はフローティングで測定した。トレンチに充填した絶縁物は SiO_2 であり、この実施例の耐圧は、絶縁層の耐圧に支配された。トレンチはさらに多重化可能でありこの点でさらに厚い絶縁層のSOIウェーハによってさらに高いキャパシタが得られるものと考えられる。

【0034】

次に、図2(a)は図1のモノリシックデジタルアイソレータの回路ブロック図及び(b)動作タイミングチャートを用いて、このデジタルアイソレータの回路及びその動作について説明する。図2(a)において、101は電流源、102、103はNMOSトランジスタ、104、105は各々トランジスタ102、103の負荷抵抗、106は基準電圧源で、これらによってカレントスイッチ回路を構成している。トランジスタ102の入力はデジタルパルス入力でトランジスタ103の入力は基準電圧源106に接続している。トランジスタ102、103の出力(各々のドレイン)は各々容量ドライバ107、108の入力に接続し、各容量ドラム107、108の出力はダイオードのような保護素子109、110、111、112に接続し、容量を通じて容量の反対側から電源電圧以上のサージ電圧が印加されたときに、サージ電流を電源又は接地端子に流しドライブ回路を保護する。定電流源101は数十 μA 程度のカレントミラー回路で構成する。基準電圧源106は電源 V_{DD1} と接地 V_{SS1} とから $V_{REF1} = (V_{DD1} - V_{SS1}) / 2$ としている。カレントスイッチ回路はパルス入力を受けて入力パルスに対応した1組の相補パルスを発生するのでこれを受けて一对の直列容量113、114、及び115、116を相補パルス駆動する。直列容量113、114、および115、116は、図1の高耐圧キャパシタの等価回路であり、一对の小容量キャパシタを構成している。117、118、119、

120はドライバ回路同様の保護素子であり、121、122は約10kΩの抵抗、123は約20kΩ、124は22kΩの抵抗、125、126は電圧コンパレータ、127は基準電圧源、128はセットリセット型フリップフロップ(RS-FF)、129は出力バッファである。コンパレータ125、126のマイナス入力には、各々、容量114、116及び、保護素子117、119、118、120、抵抗121、122を接続しており、容量110、117及び抵抗121、122、容量116、115からなる回路は、容量ドライバのパルス出力を受けた場合に、入力パルスを微分して、抵抗121、122の両端に相補な微分パルスを生じさせる。コンパレータ125、126のプラスの入力には、抵抗123、124にておおよそ $(VDD2 - VSS2) / 2 \times 1.05V$ のスレショールド電圧を印加するようにしているので、コンパレータ125、126の出力には微分波形のうち、スレショールド電圧と交わる部分の極性が反転して細いパルスとして出力される。この微小幅のパルスでRS-FF128をセット及びリセットするので、図2(b)DOUTに示すように、ドライバ回路の入力信号に対応したほぼ同じパルス波形が再生される。出力バッファ129は外部ノイズの回り込み防止手段である。

【0035】

以上、図1及び図2を用いて説明した本実施例のアイソレータは、上記したように面積0.06平方mm程度の高耐圧キャパシタに、ドライバ回路、レシーバ回路、端子引出し用のワイヤボンディング領域を加えてチップとするが、例えば1.3μm CMOSプロセスを用いた場合にアイソレータ全体で高々1平方mm程度の面積であり、極めて小型なアイソレータを実現できる。もちろんチップの実装に当たっては耐圧に耐える樹脂によるモールドなど必要な絶縁を施すものとする。

【0036】

これに対して、従来のように、高耐圧のセラミックキャパシタとドライバ、レシーバを各々別部品とした場合には、各々の実質面積が同じ1平方mmだとしても、部品点数は4個でその投影面積は4倍になる。またこれらを基板に実装すると部品間の沿面距離を取る必要があり実装面積はさらに増大する。本実施例の効果

は明白である。なお、各要素を別部品とした場合には浮遊容量の影響でドライバの駆動能力を増加させたり、別部品としたことによる静電気対策のための回路追加によりすることでチップ面積が大きくなることも、モノリシックにすることで大幅に改善できる効果がある。

【0037】

図3は、該モノリシックデジタルアイソレータをAFEに適用した場合の1実施例の回路ブロック図である。この実施例のAFEは、音声帯域信号処理用で、アナログとデジタルの変換をオーバーサンプル(2MHz)AD及びDA変換し、デシメータ、インタポレータで一旦32kspsに下げ、さらに内部DSPによって低域フィルタ処理等をして、最終的に8kspsの速度でデジタルデータを入出力するものである。

【0038】

図3において、200はデジタルアイソレータ201ないし206を内蔵したモノリシックAFEであり、AFE200はAFE本来のマルチプレクサ(MUX)211, パッドアンプ(PDA)212, プレフィルタ(DF1)213, オーバーサンプル・アナログ・ツー・デジタル変換器ADC214, デシメータフィルタ(DCM)215, AD変換出力バッファ(ADCR)216, 内蔵(in-DSP)217, 受信出力バッファ(RXDR)218とからなるアナログ入力ラインと、送信バッファ(TXDR)221, DA変換入力バッファ(DACR)222, インタポレータ(INT)223, オーバーサンプル・デジタル・ツー・アナログ変換器DAC224, ポストフィルタ(PF2)225, アッテネータ(ATT)226からなるアナログ出力ラインと、in-DSP217のデータ入出力転送制御231, 233及びアナログ入出力端子の2線4線変換回路233に制御回路を加えた構成になっている。AFE200の内部は、制御回路(CONT)241によってリセットやパワーダウン制御する。リセット信号は、デジタルアイソレータ206を通じて左側(以下アナログ入出力側)の回路に伝えられ、リセット回路242でアナログ入出力側の電源オンオフに伴うリセット信号と合成されて、アナログ入出力側回路のリセット信号として用いる。外部装置がAFE200をきめ細かく制御するために制御レジスタ(CONTR)251及び(STATUS)254

を用いる。(CONTR) 251 ((STATUS') 253)の内容はデジタルアイソレータ204, 203を通じてアナログ(デジタル)入出力回路の制御レジスタ(CONTR') 251, ((STATUS) 254)にコピーされアナログ入出力側回路のSW1ないしSW3やその他の回路の制御及び汎用出力ポート(GPO)のレベルを設定する。AFE200の動作タイミングは、外部(e x -)DSPによって与えられる2MHzのクロック(MCLK)PLLによって8倍の16MHzに変換して、入力された2MHzと合わせて基本タイミングとして用いる。もちろんアナログ入出力回路にもデジタルアイソレータ205を通じて伝え、タイミング回路262によって各種タイミングを発生して用いる。

【0039】

基準電圧発生回路263はアナログ入出力回路に単一電源で動作させるための基準電圧を与えるための回路で、基準電圧VREF: $(VDD1 - VSS1) / 2$ を発生する。

【0040】

次に動作を説明する。2線4線変換回路233は、AFE200をモデム装置に用いる場合に公衆回線の2線と内部の送信及び受信の4線との変換をする回路で、回線インピーダンス整合及び入出力アンプ機能を持っている。アナログ入力信号は2線4線変換回路233を経由するかIN+, IN-端子より直接入力するが、どちらかに合わせてあらかじめMUX211を信号SW1によって切り替えて用いる。PDA212は、0dB, 6dBのゲインを信号SW2切り替えることができる。

【0041】

PF1 213はAD変換前に不要な周波数帯の信号を削除するためのアナログフィルタであり、この実施例ではカットオフ周波数48kHzの2次の低域通過フィルタである。ADC214は2Mspsで動作する2次の $\Delta\Sigma$ 変調器であり、 $0.5\mu s$ ごとに2ビットのAD変換結果を出力する。このAD変換出力をDF1 215に伝え32kspsに間引く。DF1 215の出力は16bit/wになるが32kspsと速度が遅いのでこれを2Mbpsにシリアル変換し、アイソレータ202を経由してタイミング信号とともにデジタル入出力側回路のADCR216を経由してin-DSP217に伝える。in-DSP217ではこのデシメータ出力をIIR

、FIRのデジタル信号処理によって平坦特性補正及び4kHz以下のLPF処理を行う。処理結果は8kspsごとに16bit/wのデータとして受信バッファ218を通じてシリアルにex-DSP236に伝える。

【0042】

次に、アナログ出力ラインは、ex-DSP236から出力すべきデータ(TXD)を送信バッファTXDR221から8ksps毎に受け取り、in-DSPによってアナログ入力と同様のフィルタ処理を行い、この結果を16bit/wのデータをDA出力バッファ(DACR)222を経由して補間処理をしながら32kspsの速度で補間フィルタ(INT)223に渡すがここでもシリアル変換してアイソレータ201を経由する。INT223は、さらに補間処理をして、6bit/wのデータとして、2Mspsの速度でDAC224に渡しアナログ値を出力する。in-DSP217、INT223による処理で残った折り返し成分をポストフィルタPF2225によって除去し、0dB、-6dB、 $-\infty$ dBを切り替えることが出来るATT226を経由して出力する。これらアナログ出力ラインの動作タイミングはアナログ入力ラインのタイミングを用いる。

【0043】

これらの処理のタイミングは、基本的に2MHzのタイミングの中に同じタイミングの $\Delta\Sigma$ 変復調器の処理タイミング、2Mspsと32kspsで入出力するインタポレータ及びデシメータ処理タイミング、および32kspsと8kspsで入出力するDSP処理タイミングを整然と割り付けたタイミングになっている。従って、アイソレータ201ないし205でアナログ入出力側回路とデジタル入出力側回路を分けたがこれらを同期して動作させることが必要不可欠でタイミング専用のアイソレータ設定の重要性がここにある。

【0044】

次に、このAFE200をex-DSP236とともにモデムへの応用例を説明する。

【0045】

ex-DSP236から見たAFE200は、アナログ信号の入出力回路であるが、そのサンプルタイミングが重要で、このために、大抵のモデムは、復調時に最も識別判定に有利なタイミングになるようにADC214のサンプルタイミングを調整する。こ

のために、ex-DSP236からAFE200にはクロックMCLKでタイミングの遅れ進みを伝える。すなわち、タイミングを早めたいときには Δf を加え、遅らせたいときには $-\Delta f$ を加えてAFE200に知らせる。この処理は、数10msないし数100ms毎に行なわれる。AFE200が勝手なタイミングで動作すると、ex-DSP236の要求するタイミングと合わないので、データの過不足が生じて処理タイミングの破綻が生じ大きな雑音が生じることになる。この遅れ進みするクロックにAFE200を同期させるためにAFE200内部にはPLLを配置して内部タイミングを同期させる。

【0046】

この実施例では、デシメータ、インタポレータとin-DSPの間のデータ転送はシリアル高速転送にしたためにアイソレータ数を減らす効果がある。なお、モデムには複数の規格を含むので複数のサンプルタイミングを要求する場合があるがこれに対応するためにPLL261及びタイミング回路262の分周比をCONTR251によって制御可能にしている。

【0047】

なお、回路領域301ないし303内の各回路ブロックはトレンチで囲むことで回路間の絶縁分離及び素子分離をしているがこれをさらに多重トレンチとし、トレンチ間を接地することで相互干渉による雑音シールドを形成することが出来る。

【0048】

また、回路領域のトレンチの多重度は高耐圧キャパシタ部のトレンチの多重度よりも1段高い多重度とすることで、破壊モードをキャパシタ部に限定するようにする。このことで、規格以上の高電圧がかかった場合でも被害を限定してシステムを構築できる効果がある。

【0049】

次に、図4によって図3の回路の集積回路上のレイアウト概念を示す。図4において、全体200がAFE集積回路全体を示し閉じた線（トレンチ）で囲んだ領域に付した名前はそれぞれ図3に対応している。このレイアウトの特徴は各回路領域をさらにトレンチで囲ってアナログ入出力側回路領域301、アイソレー

タ領域302, デジタル入出力側回路領域303とし、①各領域間に2重トレンチほどこして領域間絶縁をし、さらに、②全体をトレンチ304で囲むことでチップ間の絶縁を取っていることである。なおトレンチ304は、多重トレンチである。

【0050】

次に、図5は図3のAFEを適用したDSPモデムの実施例の回路図である。

図5において200はAFE, 400はex-DSPであり、モデムを電話回線と接続すると接続する端子をTIP, RINGには、抵抗401, 402と容量403, 404とサージ保護素子405とで構成する保護回路を経由して接続する。406, 407はNMOSトランジスタで形成したSWでこれは受光素子(太陽電池)408に接続される。受光素子408は発光ダイオード409の光を受けて406, 407をオンオフしてこのスイッチの右側の回路にTIP, RINGを通じて供給される電力を供給する。発光ダイオード409はトランジスタ410, 抵抗411, 412からなるスイッチ回路で発行を制御される。このスイッチの制御信号はPOWER ONである。ダイオード413, 414, 415, 416はブリッジを構成して、TIP, RINGに加わる直流電圧の方向に関わらず電流の方向を一定にする働きを持つ。抵抗417, 418, 容量419, トランジスタ420, 421, 抵抗422, NMOSトランジスタ423からなる回路は直流閉結回路であり、AFE200の制御出力端子GPOがハイになるとNMOSトランジスタがオンして、抵抗417と418のバイアスに従ってダーリントトランジスタ回路420, 421が動作して、帰還抵抗422とバランスしたところのループ(閉結)電流を流す。抵抗424, 18Vツェナーダイオード425からなる回路は3端子レギュレータ426およびAFE200に過大な電圧印加を阻止する保護回路である。容量427は平滑キャパシタである。

【0051】

モデムで送信するときには、最初にPOWER ON信号を発生してNMOSスイッチ406, 407をオンして3端子レギュレータ426を回線と接続してAFEに電流を供給し、次に、TXDからCONTRを通じてGPOをハイレベルにしてNMOSスイッチ423オンして、ループ電流を流して局の交換機にモ

デムを回線に接続したことを知らせる。次に、モデムからAFE200を容量428を通じてダイヤル信号を送出し、交換機が相手モデムを接続するのを待つ。接続された相手モデムは、通常のもデム信号を発生するので、以降お互いにAFEを通じてモデム通信を行う。容量429、ツェナーダイオード430、431は一定電圧以下の着信信号に応答しなくする感度調整回路で、抵抗432はダイオード433又は発光ダイオード434の電流制限抵抗であり、ホトトランジスタ435は抵抗436を負荷として発光ダイオード434に着信信号が流れたときに、発光光を検出してモデム400にRING DETECT信号として伝えるものである。モデムの受信時はこの信号がモデムに通知され、POWER ON端子がこれに回答してNMOSスイッチ406、407及び423をオンしてループ電流を流して電源を入れ、容量428を通じてモデム応答信号を返す。これ以降のモデム信号の送受信は、送信時とほぼ同じである。

【0052】

以上、図3から図5で説明した本実施例によれば、以下のような特徴と効果が得られる。第1の特徴は、AFEのアイソレータ配列から左側の個別部品の回路を含めてアナログ入出力側回路はすべて右側のデジタル入出力回路を絶縁していることが特徴である。従来は絶縁トランスを用いて絶縁してむしろ右側においた部分であり、本実施例のAFEによってトランスを削除でき小型なモデム装置を構築することが出来る。また、第2の特徴はAFEのアナログ入出力側の回路に局からの給電を受けて電源を供給していることであり、このためにアナログ入出力部の電源をモデム装置側から供給する必要がなくなって、全体の消費電力低減に貢献している。第3の特徴は個別部品部のスイッチをPOWER ONスイッチ406、407とループ電流スイッチ423とに分けていることで、これによって回線接続開始時にループ電流を流さずにAFEに電源を供給して例えば、発信者番号通知など、交換機とモデムでの信号のやりとりに利用することが出来る。

【0053】

図6は、AFE内のアイソレータの挿入位置を図3とは変更した他の実施例の回路ブロック図である。図6において、各素子に付した符号はすべて図3と同一

名称、同一機能である。この実施例の特徴はアイソレータをADC、DACと、デシメータ、インターポレータとの間に配置したことである。この部分のデータ転送速度は $2\text{ bit}/w \times 2\text{ Msps}$ あるいは $6\text{ bit}/w \times 2\text{ Msps}$ と速いのでアイソレータを並列にして用いており、このために、転送動作による遅延時間がほぼ無視できる。このために、例えばエコーキャンセラや終端をin-DSPで処理する場合には図3の場合に比べて、処理性能の制約が少ないメリットがある。

【0054】

以上、アイソレータへのAFEの応用例を示したが、本実施例によれば、上記したようにアイソレータはAFEあたり8ないし13個使用するにもかかわらず、チップレイアウト上はAFE全体の10%以下と小面積に出来る効果がある。

【0055】

【発明の効果】

以上説明したように、本発明によれば、極めて小型のオンチップ高耐圧キャパシタ、また、極めて小型のモノリシックアイソレータを実現でき、これを用いることで小型なAFEを実現できる効果がある。

【図面の簡単な説明】

【図1】

本発明のアイソレータの1実施例の構造図。

【図2】

図1のアイソレータの回路ブロック図および動作タイミングチャート。

【図3】

本発明のモノリシックAFEの1実施例の回路ブロック図。

【図4】

図3のAFE集積回路のレイアウト概念図。

【図5】

図3のAFE集積回路を適用したモデムの回路ブロック図。

【図6】

本発明のモノリシックAFE集積回路の他の実施例の回路ブロック図。

【符号の説明】

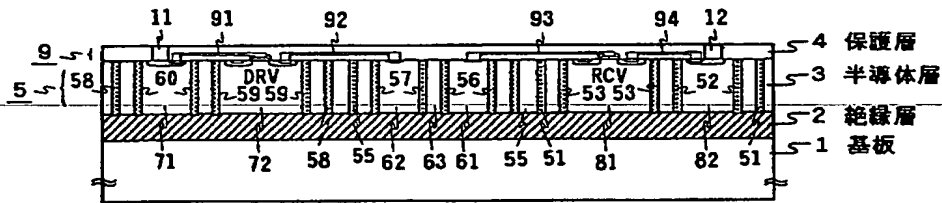
1…基板、2…絶縁層、3…半導体層、4…保護層、5…トレンチ、6…高耐
圧キャパシタ、7…ドライバ回路、8…レシーバ回路、200…アナログフロン
トエンドIC、300…アイソレータ。

【書類名】 図面

【図 1】

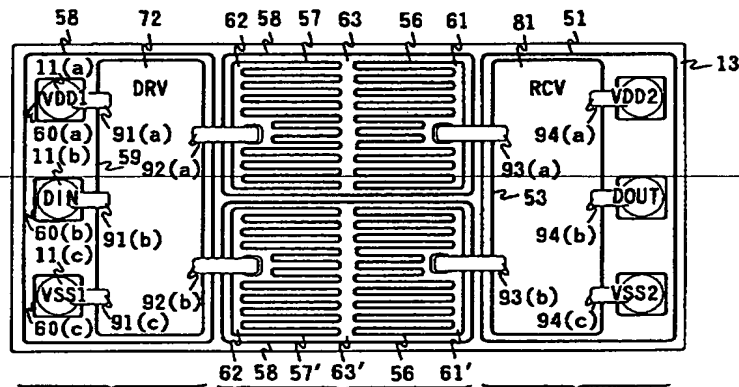
図 1

(a)



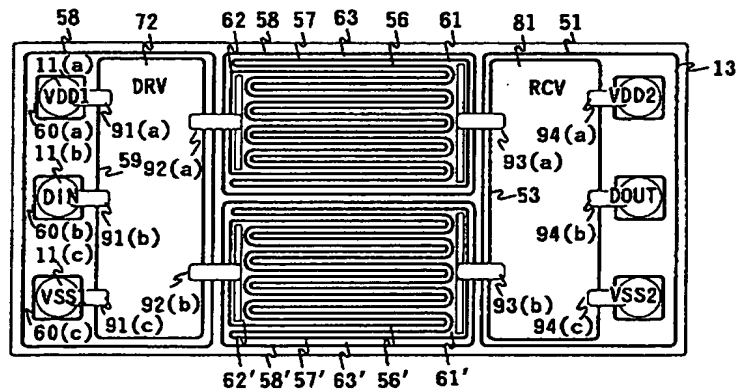
7 ドライブ回路領域 6 高耐圧キャパシタ 8 レシーブ回路領域

(b)



7 ドライブ回路領域 6 高耐圧キャパシタ 8 レシーブ回路領域

(c)

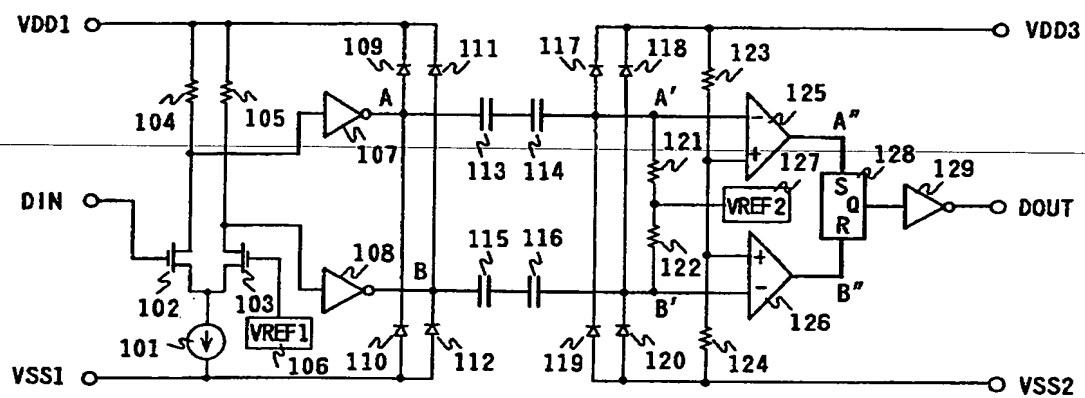


7 ドライブ回路領域 6 高耐圧キャパシタ 8 レシーブ回路領域

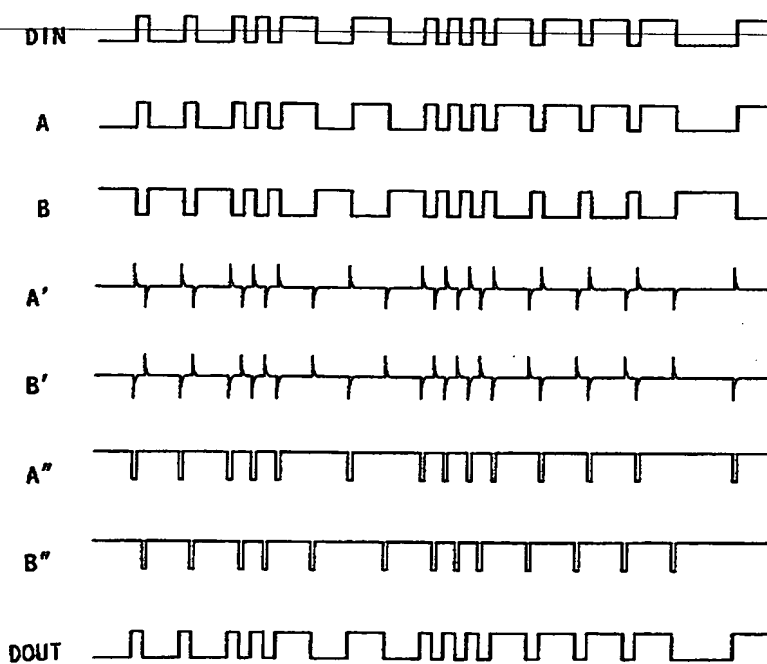
【図2】

図 2

(a)

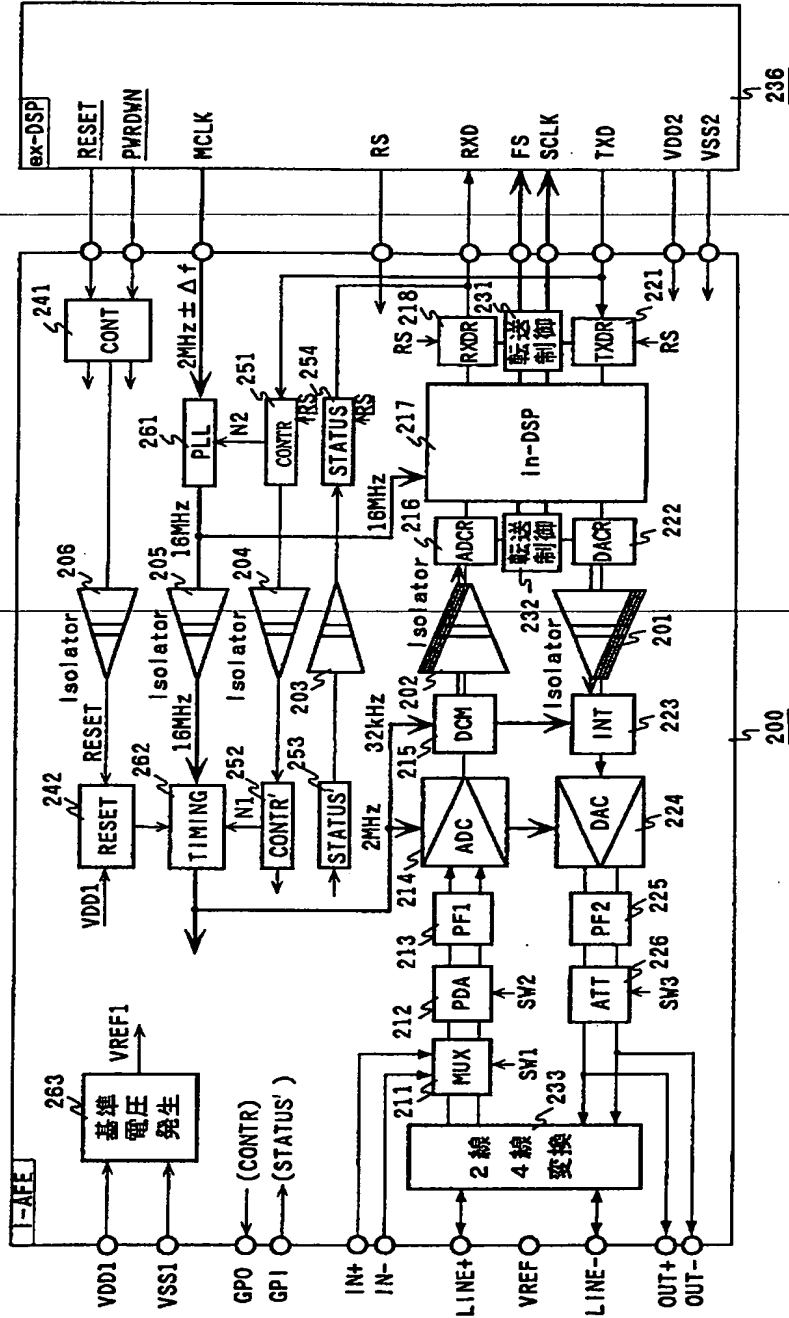


(b)



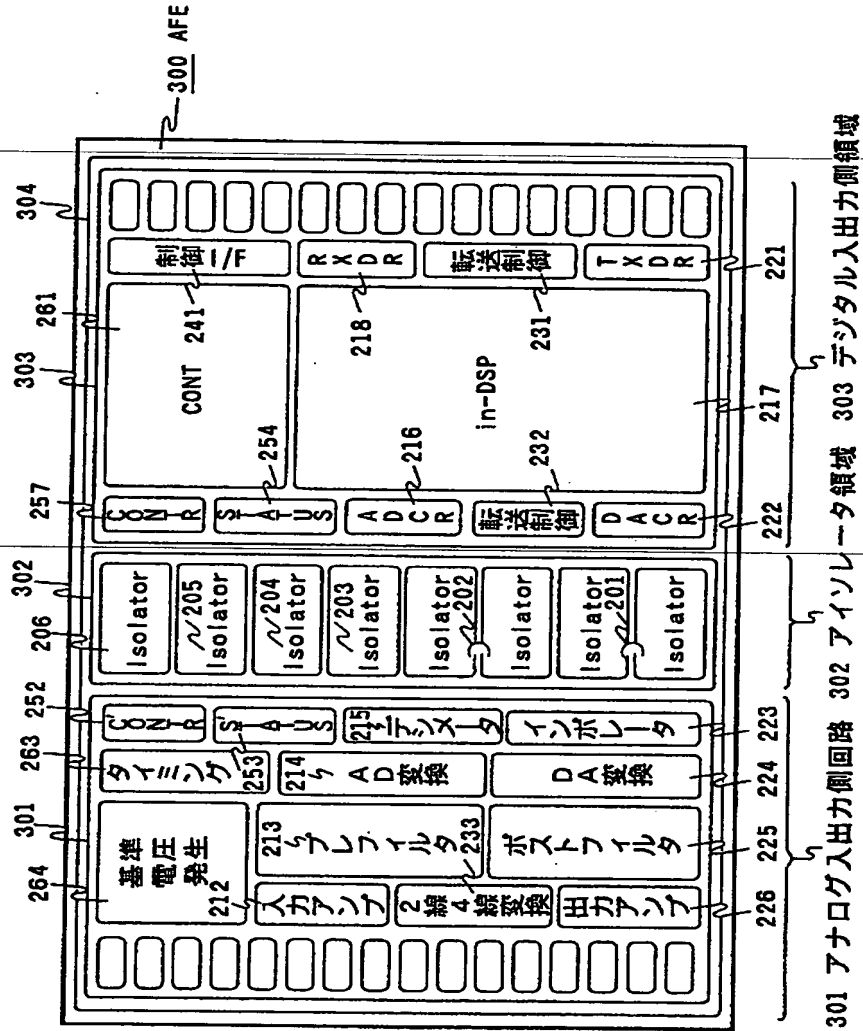
【图 3】

图 3



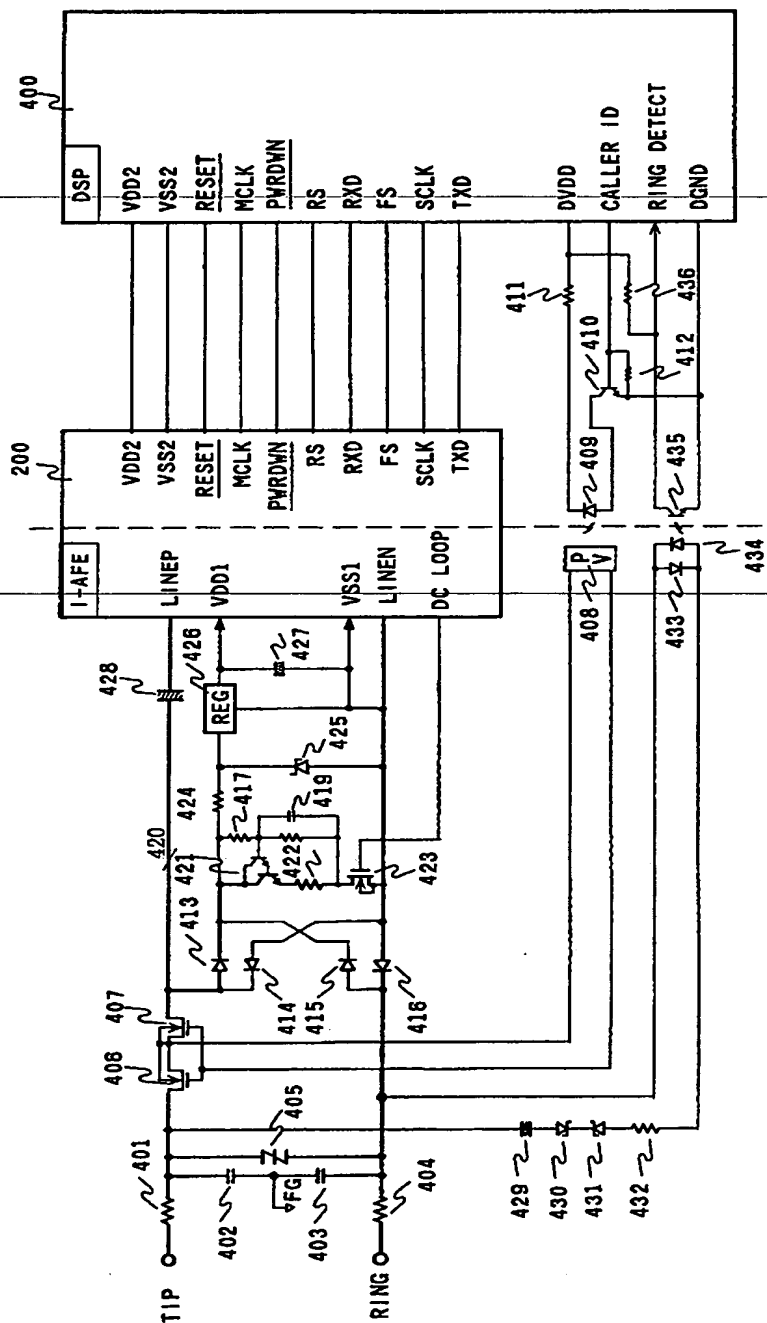
【図4】

図 4



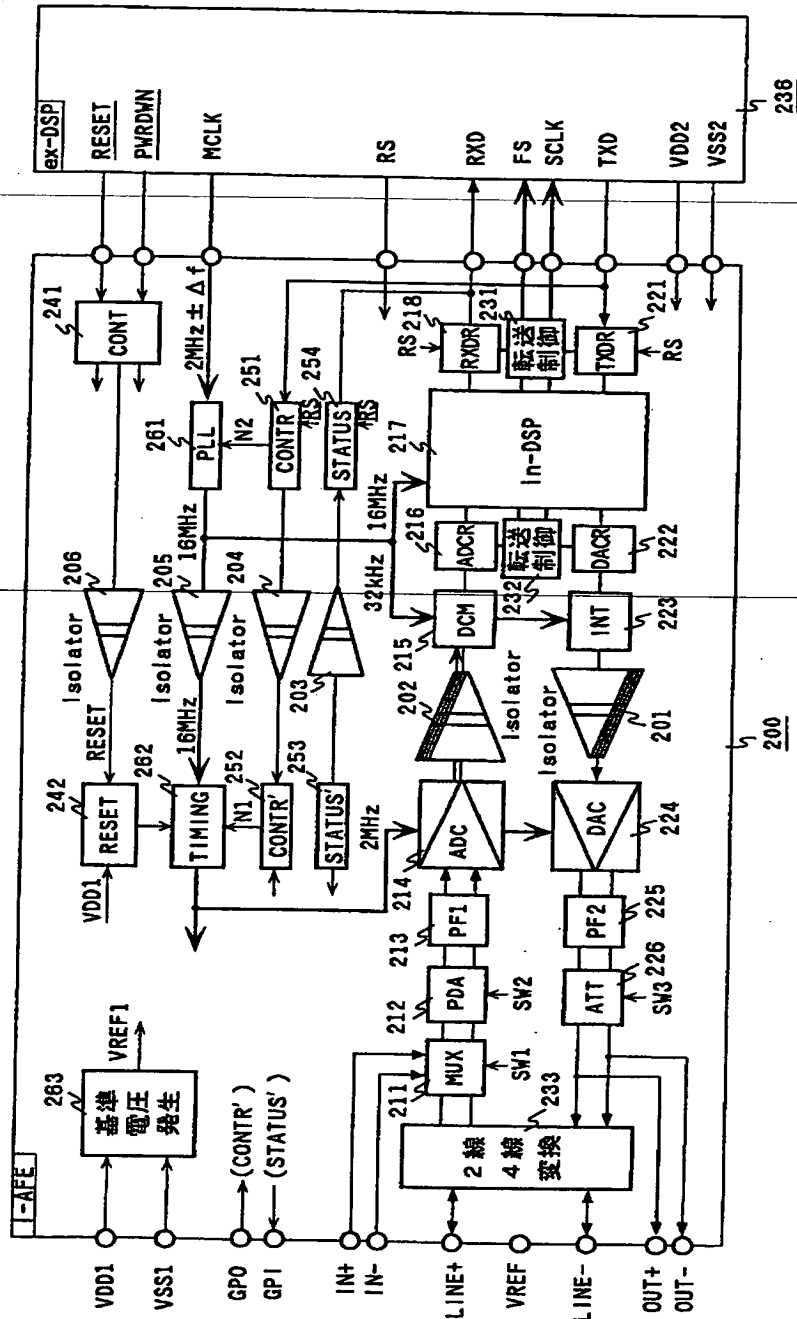
【図 5】

図 5



【図6】

図 6



【書類名】 要約書

【要約】

【課題】

小型で高性能なデジタルアイソレータを実現する。

【解決手段】

SOI基板の半導体層に、トレンチによって形成される高耐圧キャパシタ、トレンチで囲んだドライバ回路領域、及びレシーバ回路領域を形成してアイソレータを形成する。

【効果】

モノリシック化された高耐圧キャパシタにより、小型で高性能なデジタルアイソレータを実現することが出来る。

【選択図】 図1

特平 9-298190

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】 株式会社日立製作所

【代理人】

申請人

【識別番号】 100068504
【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製
作所 知的所有権本部内
【氏名又は名称】 小川 勝男

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

This Page Blank (uspto)